

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 1 月 20 日 (20.01.2005)

PCT

(10) 国際公開番号  
WO 2005/006289 A1

(51) 国際特許分類<sup>7</sup>: G09G 3/28,  
3/20, H04N 5/66, H03K 17/00

(21) 国際出願番号: PCT/JP2003/008953

(22) 国際出願日: 2003 年 7 月 15 日 (15.07.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区 上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 小坂 忠義

(KOSAKA, Tadayoshi) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区 上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 瀬尾 欣穂 (SEO, Yoshiho) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区 上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 崎田 康一 (SAKITA, Koichi) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区 上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 粟本 健司 (AWAMOTO, Kenji) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区 上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

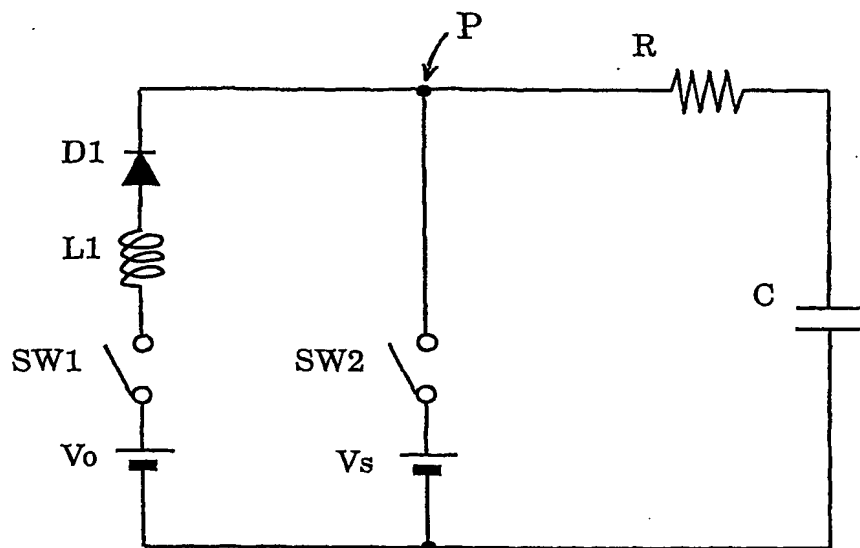
(74) 代理人: 野河 信太郎 (NOGAWA, Shintaro); 〒530-0047 大阪府 大阪市北区 西天満 5 丁目 1-3 南森町パークビル Osaka (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

(54) Title: PLASMA DISPLAY PANEL DRIVE CIRCUIT USING OFFSET WAVEFORM

(54) 発明の名称: オフセット波形を用いたプラズマディスプレイパネルの駆動回路



(57) Abstract: A sustain voltage application circuit includes a circuit having a sustain pulse generation circuit for generating a sustain pulse and an offset pulse generation circuit for generating an offset pulse having a wave height value greater than the sustain pulse. The sustain pulse generation circuit and the offset pulse generation circuit are connected in parallel. The offset pulse generation circuit has a first voltage source, a first switching circuit, an inductance component for generating a resonance voltage for offset pulse, and a forward diode for regulating the current flowing into a display electrode to flow forward and holding the resonance voltage potential at a constant level higher than the sustain voltage for a predetermined time. The sustain pulse generation circuit has a second voltage source and a second switching circuit.

(57) 要約: サスティン電圧印加回路が、サスティンパルスが発生させるサスティンパルス発生回路と、サスティンパルスよりも波高値の高いオフセットパルスが発生させるオフセット

[続葉有]

WO 2005/006289 A1



DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

トパルス発生回路とを並列に接続した回路を含み、オフセットパルス発生回路が、第 1 電圧源と、第 1 スイッチング回路と、オフセットパルス用の共振電圧を発生させるインダクタンス成分と、表示電極に流す電流を順方向に規制して共振電圧の電位をサスティン電圧よりも高い一定のレベルに一定時間保持する順方向ダイオードから構成され、サスティンパルス発生回路が、第 2 電圧源と、第 2 スイッチング回路から構成される。